

Implementasi Desain Sistem Digital: Simulasi Perancangan Sistem Teller Bank Berbasis FPGA

Implementation of Digital System Design: Simulation of FPGA-based Bank Teller System Design

Resa Pramudita^{1*}, Muhammad Adli Rizqulloh², Roer Eka Pawinanto³,
Carolina Patrycia Maryana⁴, Muhammad Hasanul Fikri⁵, Riana Sukma Dewi⁶

Departemen Pendidikan Teknik Elektro, Fakultas Pendidikan Teknologi dan Kejuruan, Universitas
Pendidikan Indonesia

Jl. Dr. Setiabudi No.229, Isola, Kec. Sukasari, Kota Bandung, Jawa Barat 40154
resa.pd@upi.edu^{1*}

Abstrak – Sistem antrian elektronik merupakan sebuah perangkat elektronik yang sering digunakan di bank dan tempat umum lainnya yang memerlukan antrian seperti rumah sakit, puskesmas dll. Perancangan sistem ini biasanya dilakukan dengan menggunakan mikrokontroler. Pada penelitian ini sistem dirancang menggunakan FPGA. Penelitian ini bertujuan sebagai studi awal sebelum diimplementasikan ke dalam sistem ASIC dimana kelebihan dari sistem ASIC adalah dapat membuat desain sistem yang terintegrasi dalam satu IC dan memiliki fungsi spesifik. Selain itu penggunaan daya juga lebih rendah. Simulasi pada rangkaian ini menggunakan ModelSim dan untuk proses Synthesis menggunakan Quartus. Intellectual Property (IP) yang dirancang akan diimplementasikan pada device EP4CE6E22C8. IP Teller Machine memiliki 5 input dan 3 output. Arsitektur sistem yang telah dirancang hanya menggunakan daya sebesar 65.46mW. IP Teller Machine yang telah dibuat ini mampu menerima sinyal dengan frekuensi maksimal mencapai 206.53MHz. Counter 4 bit internal mampu menerima input sinyal dengan frekuensi mencapai 402.09MHz. IP Core yang telah dirancang ini selain dapat digunakan untuk Teller Machine dapat juga digunakan sebagai Multiple Input High Speed Counter.

Kata Kunci: IP, FPGA, ASIC, counter, teller.

Abstract – An electronic queuing system is an electronic device often used in banks and other public places requiring queuing, such as hospitals, health centers, etc. The design of this system is usually done using a microcontroller. In this study, the system was designed using FPGA. This research is intended as an initial study before it is implemented into the ASIC system, where the advantage of the ASIC system is that it can make a system design that is integrated with one IC and has specific functions. In addition, the power usage is also lower. Simulation on this circuit uses ModelSim, and the Synthesis process uses Quartus. The designed Intellectual Property (IP) will be implemented on the EP4CE6E22C8 device. IP Teller Machine has 5 inputs and 3 outputs. The system architecture that has been designed uses only 65.46mW of power. The IP Teller Machine that has been made can receive signals with a maximum frequency of up to 206.53MHz. The internal 4-bit counter can receive input signals with frequencies up to 402.09MHz. Apart

from being used for Teller Machines, the IP Core that has been designed can also be used as a Multiple Input High-Speed Counter.

Keywords: *IP, FPGA, ASIC, counter, teller.*

1. Pendahuluan

Dinamika kehidupan masyarakat dewasa ini telah melahirkan pola pemikiran baru yang turut berkembang seiring dengan kemajuan zaman. Inovasi-inovasi teknologi yang mendukung efisiensi secara langsung semakin bermunculan yang memberikan jawaban dengan berbagai fasilitas kemudahan. Saat ini kemudahan dan efisiensi waktu serta tenaga menjadi pertimbangan utama manusia dalam melakukan aktifitas.

Kualitas pelayanan dari suatu bank adalah upaya pemenuhan kebutuhan dan keinginan konsumen atau nasabah serta ketepatan penyampaiannya dalam mengimbangi harapan nasabah. Dimana dalam menunjang pengelolaan aktivitas perbankan maka perlu adanya tingkat pelayanan nasabah, sebab dengan adanya tingkat pelayanan nasabah maka akan memberikan kepuasan bagi nasabah. Sebagai *frontliner*, *Teller* adalah salah satu orang yang berada di garis depan dan berhubungan langsung dengan nasabah. dan menjadi salah satu tempat paling sibuk dan padat, tidak heran, jika antrian bank selalu penuh setiap hari kerjanya.

Salah satu teknologi yang digunakan oleh Bank di sisi *Frontliner* adalah sistem antrian *teller* bank dimana saat ini sebagian besar bank sudah menerapkan sistem antrian berbasis elektronik sehingga memudahkan nasabah untuk melakukan antrian. Sistem antrian elektronik yang tersedia saat ini dapat dirancang menggunakan beberapa mekanisme perancangan diantaranya berbasis IC Digital dan berbasis mikrokontroler. Kedua mekanisme perancangan tersebut memiliki kelemahan diantaranya adalah apabila sistem dirancang berbasis IC Digital maka memerlukan *space* yang besar sehingga tidak efisien secara ukuran. Selain itu juga daya yang digunakan semakin besar karena banyak IC Digital yang digunakan sehingga penggunaan daya semakin besar serta harga IC Digital yang apabila dibeli satuan maka akan semakin mahal. Sedangkan apabila implementasi menggunakan mikrokontroler memiliki kelemahan apabila fungsi dan fitur yang digunakan pada satu mikrokontroler itu hanya sedikit maka akan terjadi pemborosan teknologi.

Selain kedua mekanisme perancangan tersebut ada juga pengembangan perancangan berbasis *Application Specific Integrated Circuit (ASIC)*. *ASIC* sendiri adalah sebuah IC yang didalamnya terintegrasi antara komponen analog dan digital yang membentuk sebuah sistem tertentu dengan aplikasi yang spesifik untuk fungsi tertentu. Dengan menggunakan *ASIC* semua yang dibutuhkan oleh sistem akan terpenuhi hanya dalam satu *chip* karena *ASIC* berisi semua sirkuit dan komponen-komponen yang dibutuhkan oleh suatu sistem elektronik [1]. Kelebihan dari perancangan *ASIC* adalah dapat meningkatkan kecepatan proses karena sistem ini dirancang khusus untuk melakukan satu hal. Selain itu sistem ini juga memiliki kelebihan di sisi daya. Kekurangan dari perancangan *ASIC* adalah biaya produksi yang sangat mahal untuk tahap perancangan dan produksi apabila diproduksi untuk jumlah yang sedikit [2],

Namun *ASIC* bisa juga sangat hemat biaya apabila volume produksinya sangat besar sehingga dapat dijual Kembali dengan harga yang jauh lebih murah [3]. Desain *ASIC* sangat memungkinkan untuk didesain menjadi lebih efektif dalam satu sirkuit terpadu dan jumlah komponen tambahan dapat dikurangi secara signifikan. Akibatnya *ASIC* banyak digunakan dalam produk yang memiliki permintaan pasar tinggi seperti ponsel atau aplikasi serupa lainnya. Maka dari itu untuk dapat memberikan dampak produksi yang positif diperlukan kajian pasar dan kajian ekonomi yang menyeluruh untuk menilai kelayakan dan kebutuhan pasar untuk menentukan perlu tidaknya sistem *ASIC* yang dibuat untuk diproduksi.

Alur pengembangan sistem *ASIC* dapat dilihat pada Gambar.1 dimana terdapat setidaknya empat tahap yang diperlukan sehingga *ASIC* dapat dirancang. Pertama adalah desain *Register Transfer Level (RTL)* merupakan sebuah desain untuk mendefinisikan setiap bagian digital dari sebuah desain. Ini adalah prinsip abstraksi yang digunakan untuk mendefinisikan sistem elektronik saat ini dan sering berfungsi sebagai model dalam aliran desain dan verifikasi. Desain *RTL*

biasanya dibuat dan dirancang menggunakan bahasa *Hardware Description Language (HDL)* seperti VHDL dan Verilog [4]. Setelah itu perlu didefinisikan bentuk *RTL* tersebut menjadi sebuah *Gate Logic* atau *Gate Level* pemodelan ini digunakan untuk mengimplementasikan modul atau sistem level rendah dalam desain seperti *Full Adder*, *multiplexer* dan lain-lain maupun gerbang dasar. Dari *Gate Logic* selanjutnya dideskripsikan menjadi bentuk transistor level dimana bentuk gerbang yang tadi sudah dibuat digambarkan dalam bentuk transistor, dari bentuk transistor tersebut dapat dibuat layout dari sebuah rangkaian terpadu menggunakan *software* khusus desain IC.



Gambar 1. Alur pengembangan desain IC.

Pada studi ini dikembangkan Arsitektur *Teller Bank* berbasis FPGA dengan *output* sistem berupa *RTL* sebagai desain awal sebelum diimplementasikan kedalam *ASIC*. Terdapat beberapa literatur yang mendasari dan menjadi acuan dilakukan penelitian ini. Penelitian dengan tema aplikasi penggunaan perancangan sistem digital dijadikan acuan oleh peneliti untuk melihat perkembangan implementasi penggunaan sistem digital dalam melakukan fungsi tertentu yang spesifik. Dari hasil *literature review* terdapat beberapa penelitian yang berkaitan dengan implementasi *ASIC* dalam pengembangannya diantaranya penelitian yang dilakukan oleh Mijuskovic, Dejan [5] pada penelitian ini penulis membuat implementasi *ASIC* untuk membuat perangkat *ASIC* untuk dapat mendistribusikan *Clock* untuk dapat melakukan optimasi yang menghasilkan *delay* minimum pada *clockpath*. Implementasi dari *ASIC* juga digunakan untuk membuat sistem yang berfungsi untuk gangguan pendengaran [14]. Penelitian ini menyajikan implementasi *ASIC* untuk aplikasi alat bantu dengar digital. Fungsionalitas dari desain yang diusulkan diuji secara *real-time* menggunakan dua FPGA, salah satunya dimodelkan sebagai prosesor alat bantu dengar dan yang lainnya sebagai *CODEC* audio eksternal. Penelitian lain berkaitan dengan *ASIC* juga pernah dilakukan oleh Saric, Rijad [7] yang pada penelitiannya beliau melakukan perancangan sistem *ASIC* dengan FPGA dengan Algoritma *Supervised Machine Learning* untuk prediksi per jam peristiwa partikel surya. Aplikasi lainnya yang dilakukan oleh Kawamura, Tenyo [16] mengembangkan aplikasi *ASIC front-end low noise* untuk detektor *Cadmium Telluride double-sided strip detectors (CdTe DsDs)*. Perancangan *ASIC* lainnya untuk keperluan *Computer Vision* pernah diteliti oleh Boissier, Olivier [9].

Selain literatur yang berkenaan dengan implementasi *ASIC* dalam berbagai aplikasi, dilakukan juga studi literatur dari penelitian yang merancang sebuah sistem antrian diantaranya adalah penelitian yang dilakukan oleh Santoso dkk, [10]. Pada penelitiannya mereka merancang sebuah sistem antrian digital berbasis mikrokontroler dengan At89s51 dimana mikrokontroler sebagai rangkaian yang berfungsi sebagai jembatan pengiriman perintah dan diterjemahkan oleh perintah yang ada pada IC AT89S51. Hasil dari perintah telah diterjemahkan oleh AT89S51 akan ditampilkan pada rangkaian *seven segment*. Penelitian lain dilakukan oleh Astry [11] dimana pada penelitiannya penulis mengembangkan mesin kartu antrian berbasis mikrokontroler Atmega16a. Pada implementasinya dikembangkan sebuah mesin untuk mencetak nomor antrian pada kertas, menampilkannya pada *seven segment* dan mengeluarkan suara yang menyebutkan nomor tersebut. Dari beberapa literatur dan penelitian pada pengembangan sistem antrian pada *teller* implementasi yang sering dilakukan yaitu menggunakan mikrokontroller dari berbagai seri, belum dilakukan pengembangan sistem *teller Machine* berbasis *ASIC* ataupun perencanaan kearah bentuk *chip* sehingga dari permasalahan tersebut penulis memilih tema tersebut dalam penelitian ini.

Selama ini implementasi *ASIC* yang diteliti oleh para peneliti banyak diimplementasikan pada sebuah sistem yang mengharuskan memiliki kecepatan proses yang tinggi, masih jarang diterapkan

implementasi pada sistem yang memiliki fungsi khusus yang spesifik dan tidak memerlukan kecepatan proses tinggi seperti *Teller Machine*.

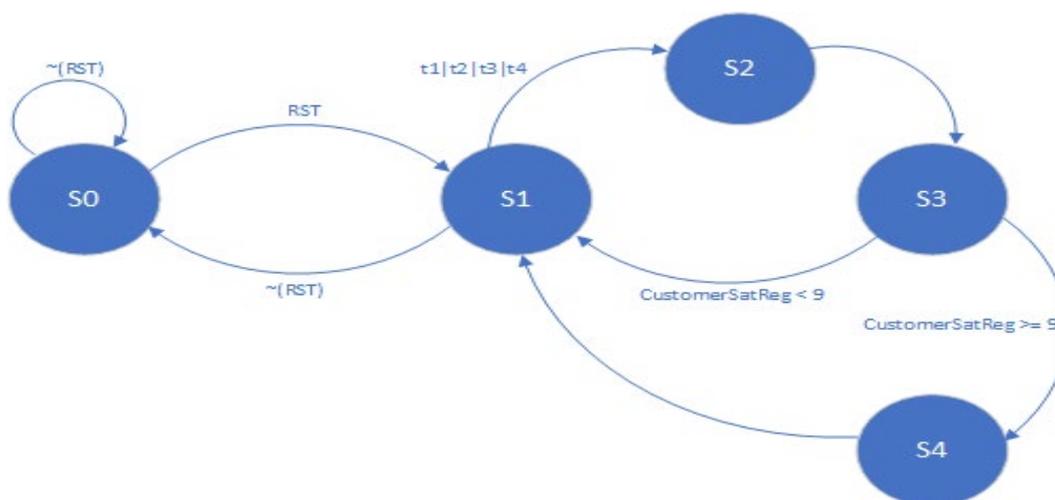
Pada Studi ini diimplementasikan sebuah Arsitektur digital berbasis FPGA [12] yang memiliki fungsi spesifik yaitu sebagai *Teller Machine* sebagai desain awal untuk pengembangan ke *ASIC* dan dirancang menggunakan aplikasi Quartus Prime 16 menggunakan Bahasa Verilog *Hardware Description Language (HDL)* [15]. Sistem diimplementasikan pada *device EP4CE6E22C8*. *Software ModelSim* digunakan pada proses verifikasi fungsi dari Arsitektur yang dibuat. Kajian pada paper ini hanya membahas tentang perancangan sebuah Arsitektur sistem beserta fungsionalitasnya saja, tidak membahas kajian kelayakan produksi untuk fabrikasi sistem *ASIC* untuk fungsi *Teller Machine*.

2. Metode Penelitian

Pada bagian ini akan dijelaskan mengenai metode dan tahapan penelitian termasuk penentuan *Intellectual Property (IP)* pada sistem dan sub-sistem *teller Machine* yang didesain di FPGA [16], serta arsitektur dari sistem.

2.1. FSM *Teller Machine*

Sistem *Teller machine* yang akan diimplementasikan pada FPGA, memiliki 5 buah *state machine* seperti ditunjukkan pada Gambar 2.



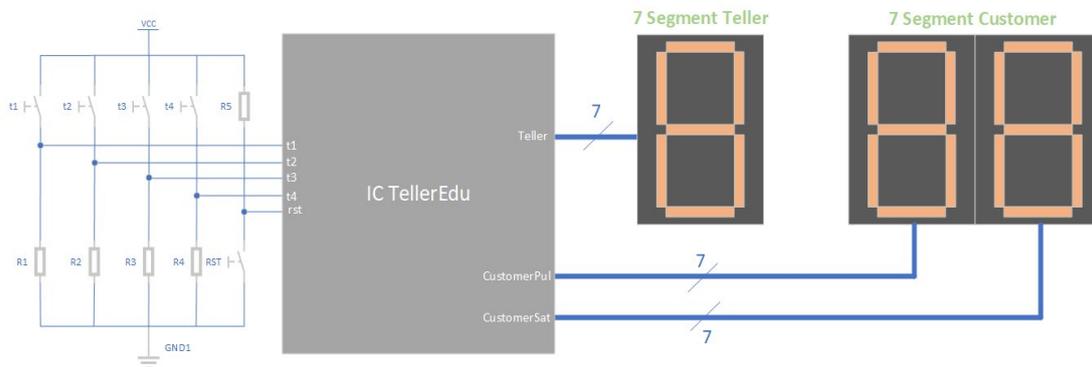
Gambar 2. FSM *teller machine*.

Penjabaran dari setiap *state machine* dimuat pada Tabel 1.

Tabel 1. Keterangan *state machine*.

State Machine	Keterangan
S0	Merupakan kondisi awal, pada <i>state</i> ini, seluruh register kembali ke nilai <i>default</i> . Dimana nilai <i>default</i> dari seluruh register adalah 0.
S1	Pada <i>state</i> ini, FPGA berada dalam kondisi <i>idle</i> dan siap untuk menerima <i>input</i> .
S2	<i>State</i> ini berfungsi untuk merubah nilai pada <i>register</i> TellerReg, dimana nilai register tersebut dirubah sesuai dengan nomor dari teller yang menekan <i>push button</i> . Register TellerReg ini akan <i>drive</i> port Teller.
S3	<i>State</i> ini berfungsi untuk menambahkan nilai pada <i>register</i> CustomerSetReg. Register CustomerSetReg ini akan <i>drive</i> port CustomerSet.
S4	<i>State</i> ini berfungsi untuk menambahkan nilai pada <i>register</i> CustomerPulReg. Register CustomerPulReg ini akan <i>drive</i> port CustomerPul.

Gambar 3 menunjukkan skematik dari sistem *Teller Machine*



Gambar 3. Skematik IC teller edu.

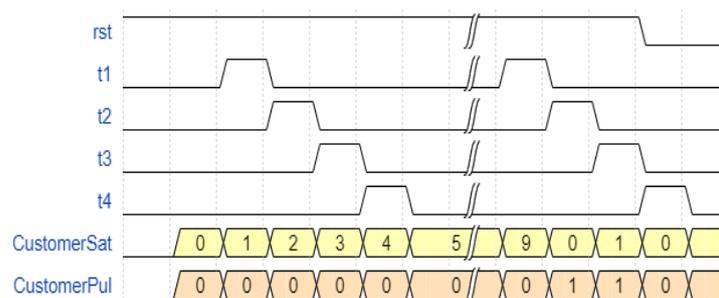
2.2. IP Sistem *Teller Machine*

Pin dari Arsitektur Sistem *Teller Machine* terdiri dari 5 *input* dan 3 *output*. Arsitektur Sistem *Teller Machine* digambarkan oleh Gambar 3. Berikut merupakan tabel penjelasan fungsi dari tiap pin Arsitektur Sistem *Teller Machine*.

Tabel 2. Keterangan pin IP *Teller Machine*

Nama Port	Panjang Data (bit)	Arah	Keterangan
<i>t1</i>	1	Input	Push Button <i>Teller</i> 1, Aktif <i>High</i>
<i>t2</i>	1	Input	Push Button <i>Teller</i> 2, Aktif <i>High</i>
<i>t3</i>	1	Input	Push Button <i>Teller</i> 3, Aktif <i>High</i>
<i>t4</i>	1	Input	Push Button <i>Teller</i> 4, Aktif <i>High</i>
<i>rst</i>	1	Input	Reset, Aktif <i>Low</i>
<i>Teller</i>	7	Output	Drive 7 Segment CA
CustomerSat	7	Output	Drive 7 Segment CA
CustomerPul	7	Output	Drive 7 Segment CA

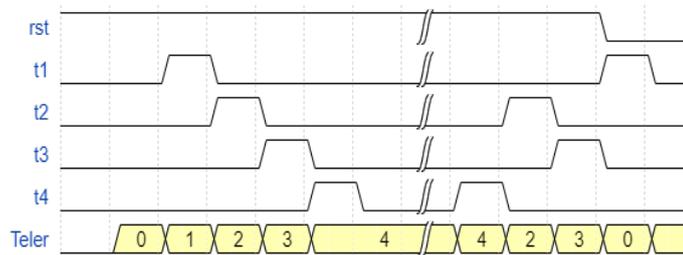
Cara kerja dari sistem *Teller Machine* digambarkan menggunakan *timing diagram* yang ditunjukkan oleh Gambar 4 (*customer*) dan Gambar 5 (*teller*).



Gambar 4. *Timing diagram customer*.

Pada saat Arsitektur ini pertama kali dinyalakan, maka *output port Teller, CustomerSat* dan *CustomerPul* akan menampilkan angka 0 pada *seven segment*. Jika pin *rst* diberi logika *low* maka seluruh *output* akan menunjukkan angka ‘0’, pada saat pin *rst* diberi logika *high* maka sistem akan berjalan sebagaimana mestinya. Pada saat salah satu Pin *t1, t2, t3,* atau *t4* diberikan logika *high*, maka sistem ini akan mendeteksi sinyal *rising* dari keempat *input* tersebut lalu angka yang ditunjukkan oleh port *CustomerSat* akan *increment* sebanyak 1 kali. Jika *seven segment* yang di *drive* oleh port *CustomerSat* menunjukkan angka ‘9’ lalu salah satu pin *input teller* diberi pulsa *high*,

maka pin *Overflow* (OF) akan memberikan sinyal yang akan memberikan sinyal untuk menaikkan angka yang ditunjukkan oleh *seven segment* yang dikendalikan oleh port *CustomerPul*.



Gambar 5. Timing Diagram Teller.

Angka yang ditampilkan oleh *seven segment* yang terhubung dengan port *Teller* bergantung terhadap pin *input t1* sampai dengan *t4*, *seven segment* ini akan menunjukkan angka sesuai dengan pin *teller* yang diberikan logika *high*. Port *Teller* akan menunjukkan angka '0' pada saat sistem pertama kali dinyalakan atau pada saat pin *rst* diberi logika *low*.

2.3. IP Sub-Sistem Teller Machine

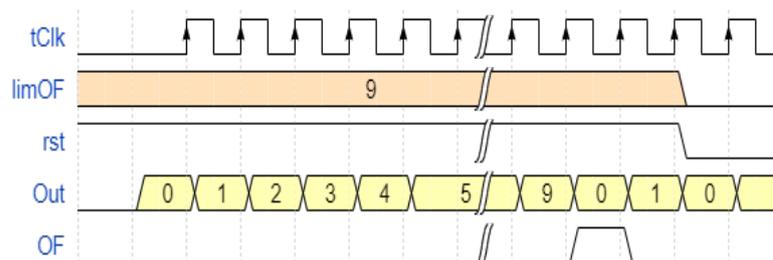
2.3.1. IP cnt4bit

IP cnt4bit berfungsi sebagai *circular counter* dengan panjang data sebesar 4-bit. *Counter* ini mampu menghitung sampai dengan 16 bilangan desimal. Tabel 3 dan Gambar 6 merupakan penjelasan fungsi dari tiap pin yang ada pada blok diagram IP cnt4bit

Tabel 3 Keterangan pin IP cnt4bit.

Nama Port	Panjang Data (bit)	Arah	Keterangan
tClk	1	Input	Clock penghitung, aktif rising
limOF	4	Input	Batas atas counter
rst	1	Input	Push Button Teller 3, Aktif High
Out	4	Output	Output BCD Counter
OF	1	Output	Over Flow Flag, Aktif High

Setiap kali pin tClk mendeteksi sinyal rising, maka *counter* akan mulai menghitung. Port *Output* akan merepresentasikan nilai *register* penghitung.



Gambar 6. Timing diagram cnt4bit.

Pin limOF berfungsi untuk memberikan batas atas kapan harus terjadi *Overflow*, pada saat nilai yang diset pada pin limOF sama dengan nilai *register Output*, maka nilai *register Output* akan kembali menjadi '0' dan pin OF akan memberikan pulsa sesaat. Pada penelitian ini nilai pin limOF diset 9. Jika pin rst diberi logika *low* maka *register out* akan bernilai '0'.

2.3.2. IP BCDtoSeg

IP BCDtoSeg berfungsi sebagai decoder yang merubah bilangan dengan format BCD menjadi format *seven segment Common Anode*. Tabel 4 merupakan mapping hubungan *output* yang dapat digunakan untuk *interface seven segment*.

Tabel 4. Mapping seven segment.

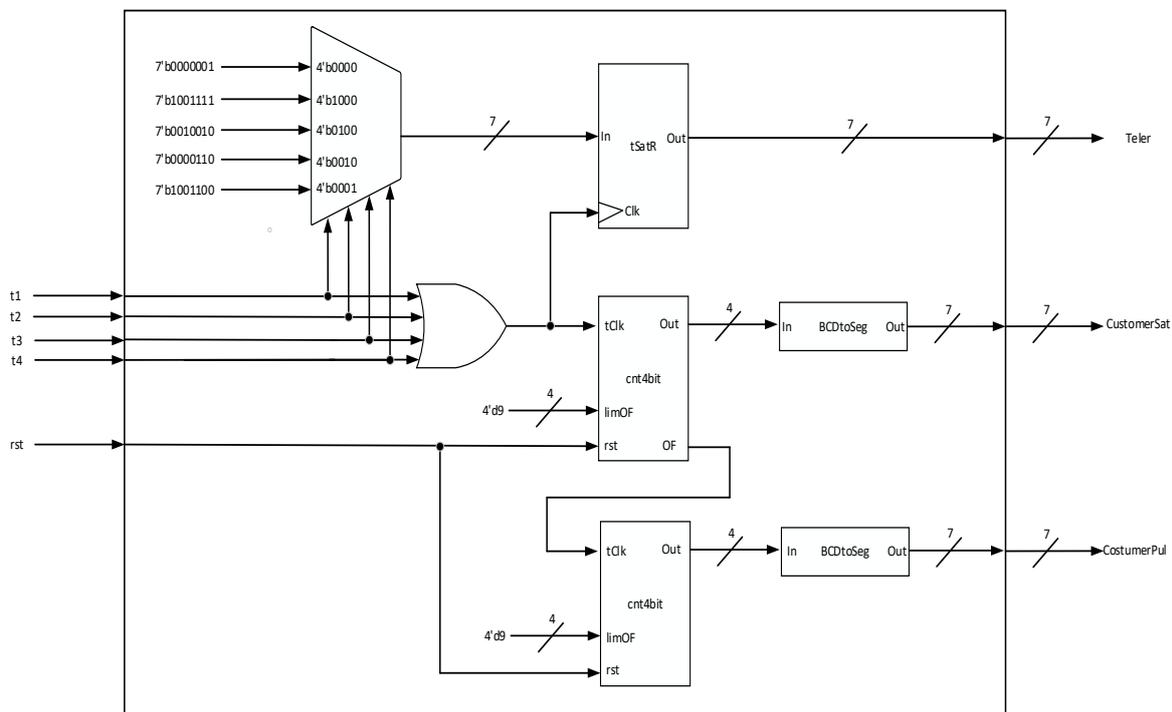
Out Register	Out [6]	Out [5]	Out [4]	Out [3]	Out [2]	Out [1]	Out [0]
Seven segment	A	b	c	D	e	F	g

2.4. IP Teller Seven segment

Naskah IP *Teller Seven segment* terdiri dari dua buah komponen yaitu, *multiplexer* dan *register tSatR*. Kanal kontrol *multiplexer* dikendalikan oleh *input t1, t2, t3* dan *t4*. Hubungan antara *input* dan *output multiplexer* digambarkan oleh Tabel 5 tentang tabel kebenaran.

Tabel 5. Truth Table Multiplexer.

Input				Output						
t1	t2	t3	t4	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	1	1	1
0	1	0	0	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0	1	1	0
0	0	0	1	1	0	0	1	1	0	0



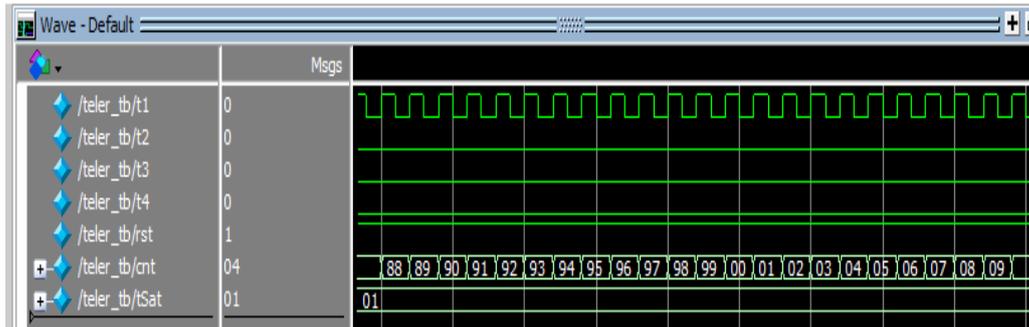
Gambar 7. Arsitektur sistem teller machine.

3. Hasil Pengujian dan Pembahasan

Pada bagian ini, dijelaskan hasil dari pengujian sistem yang terdiri dari pengujian fungsional dari *output* yang dilihat dari modelsim serta pengujian hasil *Synthesis*.

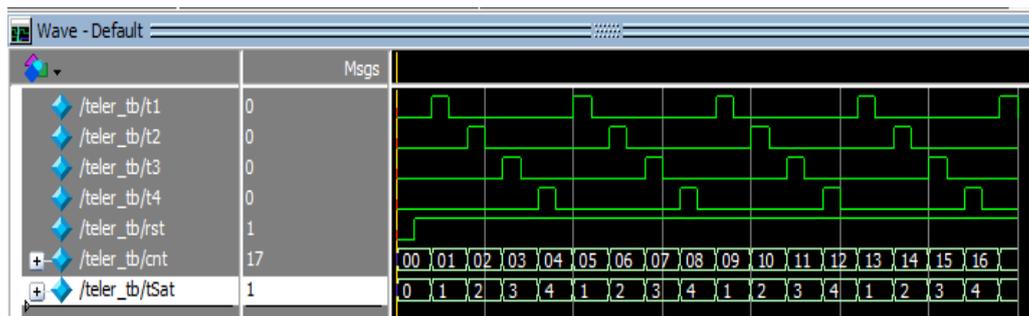
3.1. Pengujian Fungsional

Pengujian secara fungsional dilakukan untuk memastikan apakah IP Arsitektur yang telah dirancang dapat bekerja dengan baik atau tidak. Proses pengujian ini dilakukan dengan bantuan *software* ModelSim.



Gambar 8. Teller 1 menekan terus menerus.

Pengujian pertama dilakukan dengan skenario *input* Teller 1 ($t1$) memberikan pulsa terus menerus. Pada *input* ($t1$, $t2$, $t3$, $t4$) sistem Teller Machine sinyal input yang akan diproses hanya bagian *rising* dari sinyal tersebut. Gambar 8 menampilkan *timing diagram* pada saat *input* pin $t1$ diberikan pulsa terus menerus *counter* penghitung akan menghitung sampai dengan 99 lalu kembali lagi ke 0 dan seterusnya. Pada *register* tSatR yang menampilkan nilai *register* Teller yang akan melayani nasabah, pada percobaan ini nilai pada *register* tersebut terus menunjukkan angka 01 yang menandakan bahwasannya Teller yang akan melayani nasabah adalah Teller No 1.



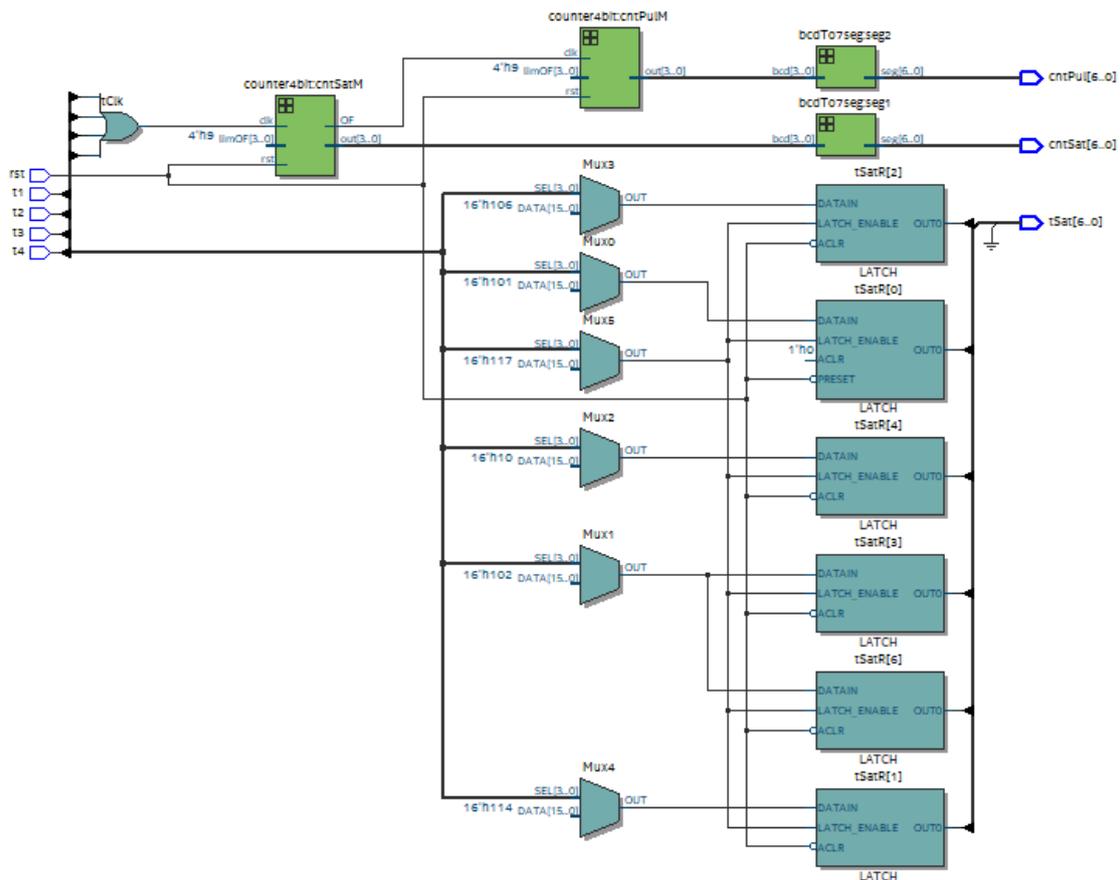
Gambar 9. Teller 1 sampai dengan 4 menekan secara bergantian.

Pengujian kedua dilakukan dengan skenario *input* Teller 1 sampai dengan Teller 4 menekan tombol secara bergantian. Dapat dilihat pada Gambar 9, pada saat Teller 1 sampai dengan Teller 4 bergantian memberikan *input* pulsa kepada pin $t1$ sampai dengan $t4$ nilai pada *register* *counter* terus bertambah dan nilai pada *register* tSat sesuai dengan *input* pulsa yang diterima oleh IP.

Input $t1, t2, t3$ dan $t4$ mengendalikan port *selector* dari *multiplexer* 5 to 1. Jika diantara *input* tersebut ada yang ditekan secara bersamaan, maka *seven segment* Teller akan menampilkan angka 0.

3.2. Pengujian Hasil Synthesis

Pengujian Hasil *synthesis* dimaksudkan untuk mencari parameter dari IP yang telah dibuat pada penelitian ini. Proses *synthesis* menggunakan *software* Quartus.



Gambar 10. Register Transfer Level (RTL) Teller Machine.

Gambar 10 menunjukkan *RTL* yang dihasilkan oleh *software* Quartus. Quartus menggenerate *RTL* berdasarkan Kode Verilog yang di *synthesis* oleh *software* tersebut. Hasil sintesis IP Teller machine dapat dilihat pada Gambar 11.

Quartus Prime Version	16.1.0 Build 196 10/24/2016 SJ Lite Edition
Revision Name	Teler
Top-level Entity Name	teler
Family	Cyclone IV E
Device	EP4CE6E22C8
Timing Models	Final
Total logic elements	34 / 6,272 (< 1 %)
Total registers	9
Total pins	26 / 92 (28 %)
Total virtual pins	0
Total memory bits	0 / 276,480 (0 %)
Embedded Multiplier 9-bit elements	0 / 30 (0 %)
Total PLLs	0 / 2 (0 %)

Gambar 11. Hasil *Synthesis* IP Teller Machine.

RTL yang digenerate oleh Quartus hanya menggunakan 34 *Logic Elements* (LE) dan 9 *register* saja.

Hasil *power analyzer* IP Teller machine dapat dilihat pada Gambar 12.

PowerPlay Power Analyzer Status	
Quartus Prime Version	Successful - Sun Jul 24 21:55:52 2022
Revision Name	16.1.0 Build 196 10/24/2016 SJ Lite Edition
Top-level Entity Name	Teler
Family	teler
Device	Cyclone IV E
Power Models	EP4CE6E22C8
Total Thermal Power Dissipation	Final
Core Dynamic Thermal Power Dissipation	65.46 mW
Core Static Thermal Power Dissipation	0.00 mW
I/O Thermal Power Dissipation	42.82 mW
Power Estimation Confidence	22.63 mW
	Low: user provided insufficient toggle rate data

Gambar 12. Hasil *power analyzer* IP Teller Machine.

IP Teller Machine yang dibuat hanya mendisipasikan daya sebesar 65.46mW saja.

Slow 1200mV 85C Model Fmax Summary				
<input type="text" value="Filter"/>				
	Fmax	Restricted Fmax	Clock Name	Notes
1	206.53 MHz	206.53 MHz	t1	
2	713.27 MHz	402.09 MHz	counter4bit:cntSatM OFReg	limit due to minimum p

This panel reports FMAX for every clock in the design, regardless of the user-specified clock periods. FMAX is only computed for paths where the source and destination registers or ports are driven by the same clock. Paths of different clocks, including generated clocks, are

Gambar 13. *Frequency analysis* IP Teller Machine.

Sebagaimana ditunjukkan pada Gambar 13, IP Teller Machine yang dibuat mampu menerima sinyal *input* pada pin *t1* sampai dengan *t4* sebesar 206.53MHz.

4. Kesimpulan

Pada penelitian ini telah dirancang dan disimulasikan sebuah sistem *Teller Machine* yang dapat diaplikasikan di Bank maupun di tempat yang memerlukan antrian. Arsitektur *counter teller* bank ini memiliki 5 *input* dan 3 *output*. IP Sistem *Teller Machine* mampu berjalan sebagaimana mestinya. Arsitektur sistem yang telah dirancang hanya menggunakan daya sebesar 65.46mW. IP *Teller Machine* yang telah dibuat ini mampu menerima sinyal dengan frekuensi maksimal mencapai 206.53MHz. *Counter* 4 bit internal mampu menerima *input* sinyal dengan frekuensi

mencapai 402.09MHz. IP Core yang telah dirancang ini selain dapat digunakan untuk *Teller Machine* dapat juga digunakan sebagai *Multiple Input High Speed Counter*. Selanjutnya, penelitian ini diharapkan dapat ditindaklanjuti sampai menjadi layout dari sebuah *integrated circuit* yang memiliki aplikasi spesifik (*ASIC*).

Referensi

- [1] Dr. David J Greaves , “System on *Chip* Design and Modelling”, *University of Cambridge Computer Laboratory*, (Lecture Notes), 2011.
- [2] Techopedia.com. 2022. What is an Application-Specific Integrated Circuit (*ASIC*) - Definition from Techopedia. [online] Available at: <https://www.techopedia.com/definition/2357/application-specific-integrated-circuit-ASIC> [Accessed 31 July 2022].
- [3] notes, e., 2022. What is an ASIC: application specific integrated circuit » Electronics Notes. [online] Electronics-notes.com. Available at: <https://www.electronics-notes.com/articles/electronic_components/programmablelogic/what-is-an-ASIC-application-specific-integrated-circuit.php [Accessed 31 July 2022].
- [4] Semiconductor Engineering. 2022. *RTL (Register Transfer Level)* . [online] Available at: <https://semiengineering.com/knowledge_centers/eda-design/definitions/register-transfer-level/> [Accessed 31 July 2022].
- [5] Dejan Mijuskovic, Clock distribution in application specific integrated circuits, *Microelectronics Journal, Volume 18, Issue 4, 1987, Pages 15-27, ISSN 0026-2692*, [https://doi.org/10.1016/S0026-2692\(87\)80370-1](https://doi.org/10.1016/S0026-2692(87)80370-1).
- [6] Deepu S.P., Ramesh Kini M., Sumam David S., Design and implementation of a signal processing ASIC for digital hearing aids, *Microprocessors and Microsystems, Volume 93, 2022, 104616, ISSN 0141-9331*, <https://doi.org/10.1016/j.micpro.2022.104616>.
- [7] Rijad Sarić, Junchao Chen, Edhem Čustović, Goran Panić, Jasmin Kevrić, Dejan Jokić, Miloš Krstić, Design of ASIC and FPGA system with Supervised Machine Learning Algorithms for Solar Particle Event Hourly Prediction, *IFAC-PapersOnLine, Volume 55, Issue 4, 2022, Pages 230-235, ISSN 2405-8963*, <https://doi.org/10.1016/j.ifacol.2022.06.038>.
- [8] Tenyo Kawamura, Tadashi Orita, Shin'ichiro Takeda, Shin Watanabe, Hirokazu Ikeda, Tadayuki Takahashi, Development of a low-noise front-end ASIC for CdTe detectors, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, Volume 982, 2020, 164575, ISSN 0168-9002*, <https://doi.org/10.1016/j.nima.2020.164575>.
- [9] Boissier, O., Demazeau, Y. (1996). ASIC: An architecture for social and individual control and its application to computer vision. In: Perram, J.W., Müller, J.P. (eds) *Distributed Software Agents and Applications. MAAMAW 1994. Lecture Notes in Computer Science, vol 1069*. Springer, Berlin, Heidelberg. https://doi.org/10.1007/3-540-61157-6_27
- [10] Wahyu Teguh Santoso. Dkk, “Perancangan Sistem Antrian Digital Berbasis Mikrokontroler Dengan At89s51 ”, *Jurnal TIKomSiN, ISSN : 2338-4018*, 2016.
- [11] Viera Astry, Kiki Prawiroredjo, “Mesin Kartu Antrian Berbasis Mikrokontroler Atmega16a “, *JETri, Volume 12, Nomor 2, Halaman 33 - 44, ISSN 1412-0372*, 2015,.
- [12] Amara Amara, Frédéric Amiel, Thomas Ea, FPGA vs. ASIC for low power applications, *Microelectronics Journal, Volume 37, Issue 8, 2006, Pages 669-677, ISSN 0026-2692*, <https://doi.org/10.1016/j.mejo.2005.11.003>.
- [13] Fuada. Syifaul, “Perancangan Sistem Kontrol Pada Prototip Pengerincing Kerupuk Berbasis IC Digital Menggunakan Software Proteus 7.0 “, *Jurnal Setrum, Volume 6, No.1*, 2017.

- [14] Arifianto. Teguh , Papan Pergantian Pemain Sepak Bola Berbasis Digital Menggunakan IC4072 dan IC7447, *Jurnal Ilmiah Rekayasa, Volume 10 No 1, Hlm. 44-50*, April 2017.
- [15] Hu, J., Xia, Y., Ni, H. (2011). Teaching Practices of Integrated Circuit Basis and ASIC Design Courses. In: Wang, Y. (eds) Education and Educational Technology. *Advances in Intelligent and Soft Computing, vol 108*. Springer, Berlin, Heidelberg. https://doi.org/10.1007/978-3-642-24775-0_6
- [16] Taraate, V. (2022). ASIC Design. In: *Digital Logic Design Using Verilog*. Springer, Singapore. https://doi.org/10.1007/978-981-16-3199-3_18